

No.5

Jan. 2003

# CENTER NEWS

## 広島大学 ナノデバイス・システム研究センター

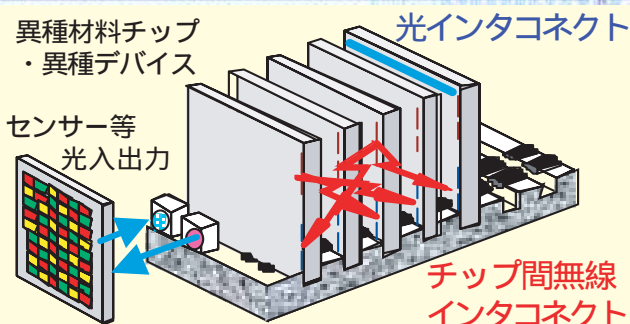
21世紀 COE

「テラビット情報ナノエレクトロニクス」  
センター長・先端物質科学研究科教授 岩田 穆

ナノデバイス・システム研究センターが中核となって先端物質科学研究科の3研究室が加わって提案・採択されました21世紀COE「テラビット情報ナノエレクトロニクス」の理念は、「シリコン集積技術の本流を進み、設計原理に立脚して、新しい集積化システムの基盤を構築する」ことにあります。このために、従来乖離していた「回路・システム」領域と「デバイス・プロセス」領域を、これらの中間にある「デバイスモデリング」領域を要にして、うまく融合させて新しい学問領域を形成することです。

技術の特徴は、チップ内・チップ間の情報伝送に無線インタコネクを用い、さらに光インタコネクも導入することです。従来の三次元集積は、コストが高い、フレキシビリティがない、テストが困難などの難しい課題を抱えています。しかし、無線により精密な位置合わせを不要とする三次元集積が可能となります。また、異種材料や新構造のデバイスやチップの集積化にもフレキシブルに対応できます。これが「三次元カスタム・スタックシステム」と名づけた理由です。デバイス、回路の解析と設計に電磁波・光応答も統合した電子デバイスのモデルを開発します。さらに、ナノメータ構造のメモリやセンサーも導入します。そして、連想メモリを応用した動画像認識、ロボット制御の脳型処理などを研究し、5年後には高度認識・学習機能を持った集積システムの基盤技術を構築します。

教育面での理念は、「先端研究を幅広い視野で推進し、思考力と実行力を備えた自立した人材を育成する」ことです。日本の高等教育は、幅広い視野を持って思考力や実行力を備え、自立できる研究者を育てる必要があります。このために、若手のCOE研究員や博士課程学生を募集して、研究推進をとおし



### 三次元カスタムスタックシステム

て育成します。博士課程学生は経済的に支援して研究に没頭できる環境を作り、研究に責任を持たせて自立できる力を養います。

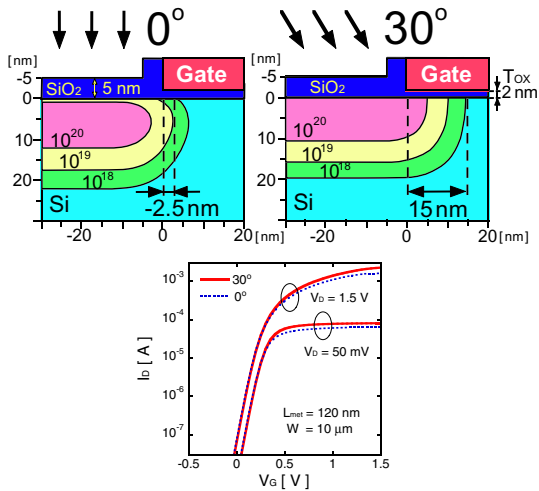
COEが広島大学の特色のある顔になるようにセンターの総力を結集しています。今後ともに、ご支援、ご意見をお願いします。

### シリコンナノテク支援開始

本センターでは、文部科学省ナノテクノロジー総合支援プロジェクトの一環として、シリコンを主体とする超微細構造形成のための支援(無料)を本年度より5年間の予定で開始しました。本支援の特徴は、(1)ケミカルクリーン仕様(酸・アルカリ・有機ガス対応)クラス10を含む総面積約880m<sup>2</sup>のスーパークリーンルームを利用したウルトラクリーンプロセス、(2)電子ビーム露光装置をはじめ、イオン注入、CVD、スパッタ、酸化・拡散炉、ICP・ECRエッチャー等を利用した、ゲート長数十nmの超微細Siトランジスタ等の試作が可能なることです。ナノ構造形成プロセス、超微細デバイスに関する技術相談(随時受付)にも応じています。学内、他大学、民間企業等からの支援申し込みを受け付けております。工業所有権につきましては、覚書きを交わした上で実施します。年度末に簡単な報告書の提出が必要です。ホームページ <http://home.hiroshima-u.ac.jp/nanotech/> より申請書類をダウンロードの上、是非お申し込みください。

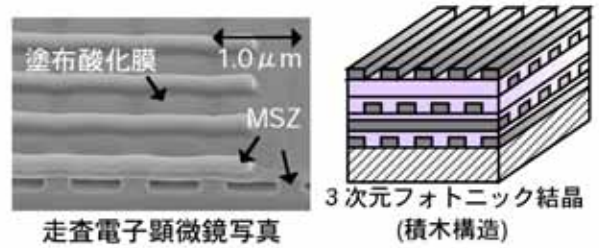
# センター研究紹介

## 傾角 Sb 注入を用いた微細 MOSFET の性能向上



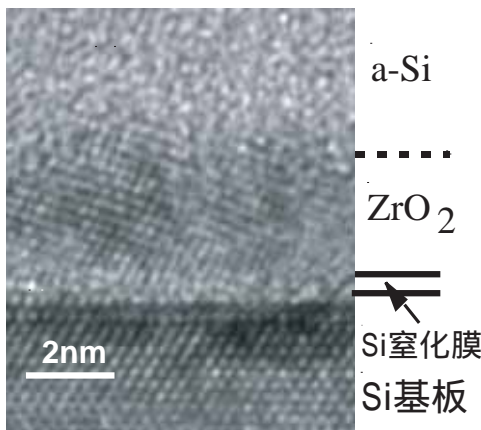
MOSFETの微細化・性能向上のためにはソース・ドレインの浅接合形成技術の改善が不可欠です。我々はこれまでにSbイオン注入技術で20nmという極浅で300  $\Omega$ 以下のシート抵抗の接合形成が可能であることを報告してきました。この技術を実際にMOSFETに適用した結果、ソース・ドレインとゲートのオーバーラップ長を十分に確保するためにSbを斜め注入することで電流駆動力を改善できることを見いだしました。

## 三次元フォトニック結晶の新しい作製法



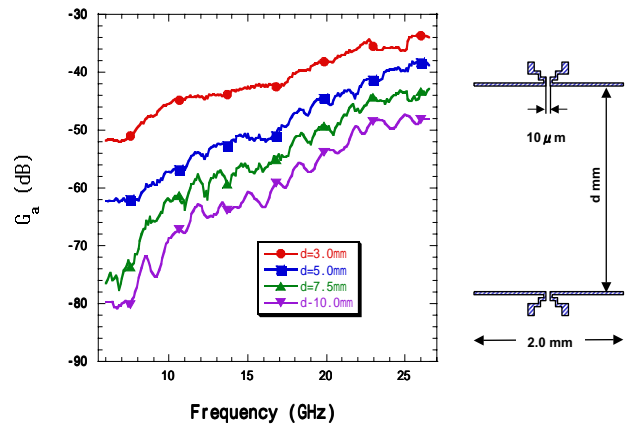
フォトニック結晶とは、屈折率の異なる光学材料を波長程度の周期で並べたものです。半導体結晶が電子エネルギーに対してバンドギャップを持つと同様な原理で、フォトニック結晶はある波長範囲の光を通しません。従って、周期の異なるフォトニック結晶をうまく組み合わせると、光を微小な空間に閉じこめることができます。このことを利用すると、超微細半導体レーザや微細光導波路を形成することができます。我々は、電子ビーム照射によって変質する感光性絶縁膜(感光性メチルシラザン:MSZ)を利用して、三次元フォトニック結晶を従来より簡便に(約半分の工程)作製する方法を開発しました(特許出願中)。図は2層の積み木構造を作製した例です。

## 原子層成長 ZrO<sub>2</sub>/原子層成長 Si 窒化 スタックゲート絶縁膜



原子層堆積法(ALD)という特殊な方法でSi窒化膜上にZrO<sub>2</sub>を堆積したスタックゲート絶縁膜を形成しました。ALD法を用いると、非常に平坦な薄膜Si窒化膜及びZrO<sub>2</sub>を原子層レベルの膜厚制御性で形成できます。この薄膜Si窒化膜の存在のために、Si基板とZrO<sub>2</sub>膜の間に通常形成される低誘電率の界面層の形成を抑制することができました。この研究成果は、Applied Physics Letters, vol. 81, p.2824 (2002)において発表しました。

## 超高速ワイヤレス配線

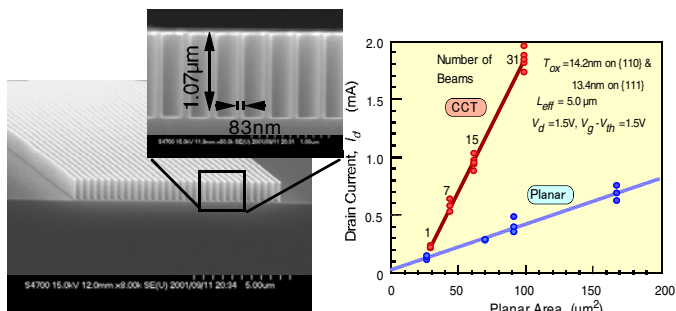


ULSIの動作速度がGHz領域に達し、グローバル配線はRC遅延による信号伝送速度限界に近づいています。そこで、グローバル配線的手段としてRC配線に代わる新しい概念であるワイヤレス配線を提案しています。ワイヤレス配線はシリコン(Si)基板上の回路ブロック間におけるグローバル信号の伝送を電圧と電流ではなく電界と磁界による電磁波で行うもので、RC遅延問題を本質的に解決できる可能性があり、送受信手段としてSi基板上にアルミ配線層を利用し作製したダイポールアンテナを用います。この成果は2002年IEEE-IITC(国際配線技術会議)で発表いたしました。

# センター研究紹介

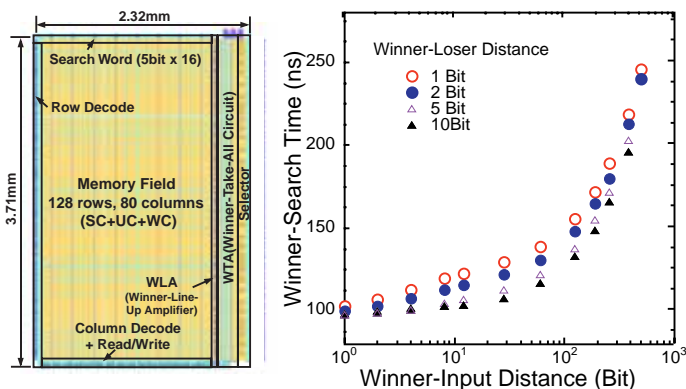
## 三次元 櫛形チャンネルトランジスタ CCT

## 高速・小面積な全並列型 最小マンハッタン距離連想メモリ



櫛形チャンネル構造      ドレイン電流駆動能力

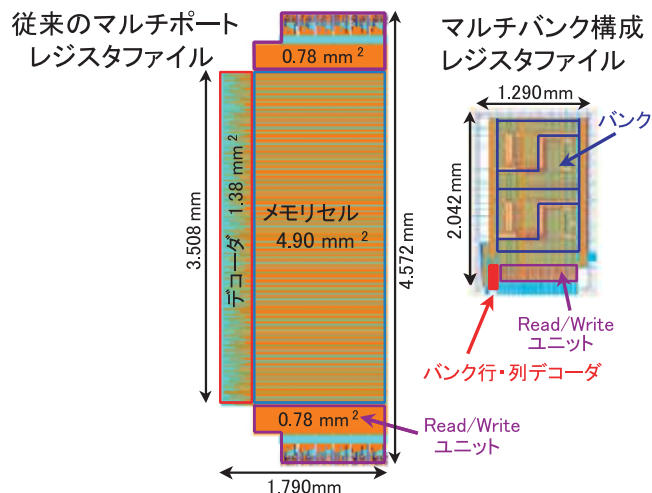
この30年間たゆまなく続いてきた平面MOSトランジスタの縮小傾向に新たなベクトルを加え、垂直方向にチャンネルを形成した三次元構造、CCT (Corrugated Channel Transistor)を提案します。(110)面に形成した幅数10nm、高さ約1µmのチャンネルを複数形成したCCTで、同じ平面面積のトランジスタより数倍大きいドレイン電流が得られました。このCCTは特に極小平面面積で最大の駆動能力を発揮できるので、携帯端末のワンチップパワーICへの応用ばかりでなく、パワートランジスタの大幅なコストダウンが期待できます。



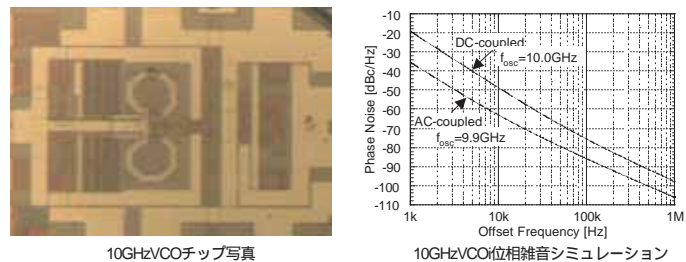
データベースの中から検索データに対して最も類似したデータを高速に検索する最小距離検索処理は、パターン認識等の基本的な処理です。我々はこれを実現する連想メモリの開発を行っています。最小マンハッタン距離検索のテストチップを0.35µm CMOS技術で設計した結果、全体の回路面積が8.6mm<sup>2</sup>となり、最小距離検索回路は0.99mm<sup>2</sup>(全体の11.5%)の小面積で実現できました。シミュレーションから、128個の参照データ(5bit x 16units)に対して、240nsec以下の高速な検索が可能で、32bitコンピュータで同じ計算を行わせた場合の20GOPS/mm<sup>2</sup>に相当する高性能を実現しています。

## マルチバンク構造による小面積 多ポートレジスタファイル

## GHz 高周波回路の基本となる 低位相雑音 VCO



計算機の性能向上のために、並列実行命令数の増加が必要です。しかし、そのために計算機のレジスタファイルの多ポート化やレジスタ数の増加を行うと、アクセス時間、ハードウェア面積、消費電力が増大する問題があります。我々はマルチバンク構造を用いた、従来方式と比較して、サイクル時間49%、ハードウェア面積72%、消費電力81%の削減を実現しました。また、レジスタアクセス・スケジューラを用いることで、従来のものと同等の性能が得られることを確認しました。



VCO (Voltage Controlled Oscillator)は入力電圧によって発振周波数を可変できる発振回路です。1~10GHzの範囲で無線通信の局部発振器やマイクロプロセッサのクロック発生などに使われています。各種の発振回路がありますが、LC共振回路を用いた回路が出力の位相揺らぎが小さく最も優れています。位相揺らぎを位相雑音と呼びますが、時間の揺らぎで考えると10GHzのVCOでは10ピコ秒以下が必要です。シリコンバイポーラ技術で10GHzのVCOを設計・試作しました。ジッタを抑えるにはトランジスタが飽和領域に入らない範囲で、発振振幅を可能な限り大きくすることが有効です。そこで、容量結合でバイアス電圧を最適化する構成と設計法を考案して、ジッタを最小化しました。発振周波数から100kHz離れた周波数での雑音電力は発振周波数の10億分の1を達成しております。

## 研究員紹介

当センターでは、今年度新たに7名を加えたセンター研究員9名が働いています。以下で新研究員の紹介をします。佐々木：研究テーマは低誘電率層間絶縁膜中におけるCuイオンドリフトの研究です。黒部：レーザーアニールを用いた極浅接合形成技術の確立と微細MOSFETの製作・評価を研究テーマとしています。朱：研究テーマはキャッシュやSRA Mなどのマルチポートメモリの設計と最適化、そして集積回路のモデル化とシミュレーションです。黒木：次世代低誘電率層間絶縁膜材料(Low-k材料)の一つである感光性Low-k材料の研究を行っています。また池田・大倉・田部井の3名のナノテク支援研究員が、文部科学省ナノテクノロジー総合支援プロジェクトに基づいた当センターでのシリコン・ナノ構造微細加工支援を担当しています。



## センター利用希望・共同研究希望の皆様へ

ナノデバイス・システム研究センターは広島大学の学内共同利用施設として設置されており、学内では先端物質科学研究科や工学研究科の研究室の多くの方々に利用されています。また、学外の大学・企業とは共同研究・受託研究を実施したり研究員・社会人博士後期課程学生の受け入れを行っております。このパンフレットをご覧になりナノデバイス・システム研究センターにご興味をお持ちの方がいらっしゃいましたら、センター教官までご連絡ください。

TEL: 0824-24-6265、FAX: 0824-22-7185、e-mail: rcns@sxsys.hiroshima-u.ac.jp

## ナノデバイス・システム研究センター 研究組織

